

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: KANAI, Tomonori et al Conf.:
Appl. No.: NEW Group:
Filed: September 16, 2003 Examiner:
For: SEMICONDUCTOR DEVICE

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 16, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

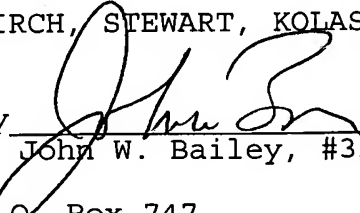
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-020939	January 29, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
John W. Bailey, #32,881

JWB/smt
4703-0101P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

KANAI et al
September 16, 2003
BSKB, LLP
703-205-8000
4703-0101P
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 9 日
Date of Application:

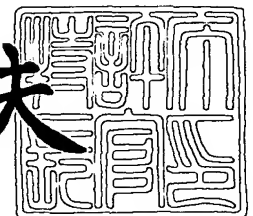
出 願 番 号 特 願 2 0 0 3 - 0 2 0 9 3 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 2 0 9 3 9]

出 願 人 日 立 マ ク セ ル 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 8 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 2 8 0 2

【書類名】 特許願

【整理番号】 HMX02041

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/00

【発明者】

 【住所又は居所】 大阪府茨木市丑寅一丁目 1 番 8 8 号 日立マクセル株式会社内

 【氏名】 金井 友範

【発明者】

 【住所又は居所】 大阪府茨木市丑寅一丁目 1 番 8 8 号 日立マクセル株式会社内

 【氏名】 岸本 清治

【発明者】

 【住所又は居所】 大阪府茨木市丑寅一丁目 1 番 8 8 号 日立マクセル株式会社内

 【氏名】 菊地 裕二

【特許出願人】

 【識別番号】 000005810

 【氏名又は名称】 日立マクセル株式会社

【代理人】

 【識別番号】 100103894

 【弁理士】

 【氏名又は名称】 家入 健

【手数料の表示】

 【予納台帳番号】 106760

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0112540

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

半導体チップの外縁部に沿って設けられた周辺電極と、
半導体チップの前記周辺電極より内側に設けられた内部電極と、
当該半導体チップに形成された回路を備えた半導体装置であって、
前記周辺電極は、内部配線により前記回路と接続され、
前記内部電極は、内部配線により前記回路および前記周辺電極と接続されていることを特徴とする半導体装置。

【請求項 2】

前記内部電極が前記周辺電極よりも小さいことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記内部電極は、電源端子、接地端子、クロック端子の少なくともいずれか一つであることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記内部電極と接続されていない周辺電極を高周波信号端子とすることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

半導体チップの外縁部に沿って設けられた周辺電極と、
半導体チップの前記周辺電極より内側に設けられた内部電極と、
当該半導体チップに形成された回路を備えた半導体装置であって、
前記周辺電極は、内部配線により前記回路と接続され、
前記内部電極は、内部配線により前記回路および前記周辺電極と接続されるときともに、

前記内部電極は、絶縁層を介して形成される再配線と接続され、再配線の端にはエリアアレイ電極が形成されることを特徴とする半導体装置。

【請求項 6】

半導体チップの外縁部に沿って設けられた周辺電極と、
半導体チップの前記周辺電極より内側に設けられた内部電極と、
前記周辺電極または前記内部電極と接続され当該半導体チップの全域に亘って
設けられたエリアアレイ電極と、
当該半導体チップに形成された回路を備えた半導体装置であって、
前記周辺電極は、内部配線により前記回路と接続され、
前記内部電極は、内部配線により前記回路および前記周辺電極と接続され、
前記エリアアレイ電極は、再配線により前記内部電極と接続される第 1 のエリ
アアレイ電極と、再配線により前記周辺電極と接続される第 2 のエリアアレイ電
極から構成されることを特徴とする半導体装置。

【請求項 7】

前記第 1 のエリアアレイ電極は、電源端子、接地端子、クロック端子の少なく
ともいずれか一つであることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】

前記第 2 のエリアアレイ電極は、高周波信号端子であることを特徴とする請求
項 6 記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置に係り、より詳しくは、半導体チップに形成される周辺
電極、内部電極、内部配線等の配列に関する。

【 0 0 0 2】

【従来の技術】

携帯電話、デジタルカメラ、ノートパソコンの例に代表される電子機器におい
ては、小型化、薄型化、軽量化に対する要求が強く、それに用いられる半導体部
品をいかに小型化、薄型化、軽量化し、かつ製造コストを抑えるかが研究開発上
の 1 つの重要な課題となっている。

【 0 0 0 3】

このため、パッケージ I C (T O F P、T S O P 等) 実装に代わる、より小型

の B G A (Ball Grid Array)、C S P (Chip Scale Package 或いは Chip Size Package) の開発が進められ、一部では既に実用化されている。また、より小型の半導体高密度実装を考えた場合には、ベアチップ実装で、しかもフリップチップ方式による実装技術（接続技術）の普及も強く望まれている。

【 0 0 0 4 】

従来のフリップチップ方式によるベアチップ実装では、半導体チップの電極パッド面上にバンプを形成していたが、最近では、B G A、C S P と同様に半導体チップ上に再配線を行ってバンプ形成用のランド端子を設け、そのランド端子間のピッチを広げて、実装の簡易化を図ろうとする技術も一般化している。

【 0 0 0 5 】

図 9 に、従来よりこの種の半導体装置の製造に適用されている半導体チップの一例を示す。図 9 に示される半導体チップ 1 0 では、複数の周辺電極パッド 1 がチップ外縁部に沿って配置されている。このように周辺電極パッド 1 をチップ外縁部に沿って配置するために、半導体チップ 1 0 内に設けられた内部回路（図示せず）から各周辺電極パッド 1 へ内部配線（図示せず）が設けられている。また、これらの各周辺電極パッド 1 からは、再配線 2 が行われ、バンプ形成用のランド端子 3、つまり半導体ボール搭載のためのパッドが半導体チップ 1 0 上に一様に配置されている。

【 0 0 0 6 】

しかしながら、さらに高密度化が要求される場合には、ランド端子 3 間に配置する再配線 2 の数が増加し、再配線 2 同士や再配線 2 とランド端子 3 間で短絡が生じる可能性が高まる。例えば、図 9 の P 部分、Q 部分や R 部分において、再配線 2 とランド端子 3 との間で短絡が生じている。

【 0 0 0 7 】

このような再配線 2 のショートの問題を解決する技術が特許文献 1 に開示されている。この特許文献 1 では、共通の機能を有する電極に対しては、共用する 1 の再配線を形成することにより、再配線の数減らす技術が開示されている。

【 0 0 0 8 】

他方、ランド端子 3 と内部回路とは、半導体チップ 1 0 の外縁部に位置する周

辺電極パッド1を介して接続されているので配線長が長くなる。このとき、配線長が長くなると、信号の遅延、線間の干渉或いは雑音の増加等を引き起こしやすいという不都合があった。かかる不都合は、現在普及しつつある高周波用の半導体チップにおいては特に顕著になり、クロストークノイズや共振ずれの原因になる。

【0 0 0 9】

【特許文献1】

特開 2 0 0 0 - 2 0 8 5 1 2 号公報

【0 0 1 0】

【発明が解決しようとする課題】

上述の特許文献1に開示された従来技術は、再配線の短絡を解決できるか否かは、共通の機能を有する電極がどの程度あるかに依存しており、全ての半導体装置において再配線の短絡等を解決できるものではない。また、配線長自体を短くできるものでなく、上述した信号の遅延等の問題は解決できない。

【0 0 1 1】

本発明は、このような課題を解決するためになされたものであり、ワイヤボンディングによるパッケージ化及び再配線によるCSP化の両方に対応可能で、再配線の短絡等の問題を効果的に解決することが可能な半導体装置を提供することを目的とする。

【0 0 1 2】

【課題を解決するための手段】

本発明にかかる半導体装置は、半導体チップの外縁部に沿って設けられた周辺電極（例えば、本実施の形態における周辺電極パッド1）と、半導体チップの前記周辺電極より内側に設けられた内部電極（例えば、本実施の形態における内部電極パッド5）と、当該半導体チップに形成された回路（例えば、本実施の形態におけるメタル配線4b）を備えた半導体装置であって、前記周辺電極は、内部配線（例えば、本実施の形態におけるメタル配線4a）により前記回路と接続され、前記内部電極は、内部配線により前記回路および前記周辺電極と接続されているものである。このような構成によれば、ワイヤボンディングによるパッケー

ジ化及び再配線による C S P 化の両方に対応可能である。また、このような構成において、内部電極に再配線を介してエリアアレイ電極（例えば、本実施の形態におけるランド端子 3）を接続すると、このエリアアレイ電極に関しては、周辺電極を経由せずに回路と接続されているため、配線長を短くすることができる。そのため、再配線同士又は再配線とエリアアレイ電極間の短絡を防止できる。さらには、信号の遅延、線間の干渉或いは雑音の増加等の発生も抑制できる。

【 0 0 1 3 】

ここで、前記内部電極は、前記周辺電極よりも小さいことが望ましい。これにより、内部電極の内部配線に対する電氣的な干渉を減らすことができ、かつ内部配線の設計マージンを向上させることができる。また、周辺電極に対するワイヤボンディングを行いやすくすることができる。

【 0 0 1 4 】

他方、内部電極は、電源端子、接地端子、クロック端子の少なくともいずれか一つであることが好ましい。ここで、内部電極は、内部配線により回路と接続されているため、配線長を短くすることができる。従って、信号の電圧降下の影響が大きい、電源端子、設置端子やクロック端子に用いるとよい。

【 0 0 1 5 】

また、内部電極と接続されていない周辺電極を高周波信号端子とすることが望ましい。ここで、内部電極は、内部配線によって周辺電極とも接続されているため、周辺電極と接続するための内部配線が冗長配線となる。従って、この冗長配線が不要な容量成分を保有することになる。特に高周波信号に対しては、このような容量成分の影響を受けやすいため、内部電極ではなく、内部電極と接続されていない周辺電極に割り当てることが望ましい。

【 0 0 1 6 】

本発明にかかる他の半導体装置は、半導体チップの外縁部に沿って設けられた周辺電極と、半導体チップの前記周辺電極より内側に設けられた内部電極と、当該半導体チップに形成された回路を備えた半導体装置であって、前記周辺電極は、内部配線により前記回路と接続され、前記内部電極は、内部配線により前記回路および前記周辺電極と接続されるとともに、前記内部電極は、絶縁層を介して

形成される再配線と接続され、再配線の端にはエリアアレイ電極が形成されることを特徴とするものである。このように、内部電極に接続されたエリアアレイ電極は周辺電極を経由せずに回路と接続されているため、配線長を短くすることができる。そのため、再配線同士又は再配線とエリアアレイ電極間の短絡を防止できる。さらには、信号の遅延、線間の干渉或いは雑音の増加等の発生も抑制できる。

【0017】

また、本発明にかかる他の半導体装置は、半導体チップの外縁部に沿って設けられた周辺電極と、半導体チップの前記周辺電極より内側に設けられた内部電極と、前記周辺電極または前記内部電極と接続され当該半導体チップの全域に亘って設けられたエリアアレイ電極と、当該半導体チップに形成された回路を備えた半導体装置であって、前記周辺電極は、内部配線により前記回路と接続され、前記内部電極は、内部配線により前記回路および前記周辺電極と接続され、前記エリアアレイ電極は、再配線により前記内部電極と接続される第1のエリアアレイ電極と、再配線により前記周辺電極と接続される第2のエリアアレイ電極から構成されるものである。このように、第1エリアアレイ電極は周辺電極を経由せずに回路と接続されているため、配線長を短くすることができる。そのため、再配線同士又は再配線とエリアアレイ電極間の短絡を防止できる。さらには、信号の遅延、線間の干渉或いは雑音の増加等の発生も抑制できる。

【0018】

ここで、第1のエリアアレイ電極は、電源端子、接地端子、クロック端子の少なくともいずれか一つとするとよい。第1のエリアアレイ電極は、内部電極を介して回路と接続されているため、配線長を短くすることができる。従って、信号の電圧降下の影響が大きい、電源端子、設置端子やクロック端子に用いるとよい。

【0019】

また、第2のエリアアレイ電極は、高周波信号端子とするとよい。第1のエリアアレイ電極は、内部配線によって周辺電極とも接続されているため、この内部配線が冗長配線となる。従って、この冗長配線が不要な容量成分を保有すること

になる。特に高周波信号に対しては、このような容量成分の影響を受けやすいため、第1のエリアレイ電極ではなく、内部電極と接続されていない第2のエリアレイ電極に割り当てることが望ましい。

【0020】

【発明の実施の形態】

本発明の実施の形態にかかる半導体チップについて図面を用いて説明する。図1は、再配線及びランド端子を形成する前の当該半導体チップ10の配線例を示す図である。図1では、ウエハ上の2つの半導体チップが示されており、これらの半導体チップ10の間がダイシングエリアとなる。この半導体チップ10は、例えば、複数の回路ブロックを備えたものである。ここで、回路ブロックには、CPUコア、DSPコア、アナログ回路、アナログ・デジタル変換回路、メモリ（ROM／RAM）、ロジック回路が含まれる。

【0021】

図1に示されるように、半導体チップ10では、周辺電極である複数の周辺電極パッド1がチップ外縁部に沿って配置されている。周辺電極パッド1をチップ外縁部に沿って配置するために、半導体チップ10内に設けられた各種の内部回路（図示せず）から各周辺電極パッド1へ内部配線（図示せず）が設けられている。周辺電極パッド1は、半導体チップ10内の内部回路を検査する際には、検査装置のプロブ端子が接触され、検査のための信号の入出力端子としても利用される。

【0022】

他方、半導体チップ10の周辺電極パッド1より内側には、内部電極パッド5が設けられている。この内部電極パッド5は、内部配線により内部回路及び周辺電極パッド1と接続されている。ここで、図1では、この内部電極パッド5と周辺電極パッド1とを接続する内部配線4のみ点線で示す。内部電極パッド5は、主面の面積を大きくすると内部配線に対する電氣的な干渉が増え、また、内部配線の配線マージンを低下させるため、出来るだけ小さい方がよい。他方、周辺電極パッド1は、ワイヤボンディング装置の精度の制限からある程度の面積を確保しなければならない。このような観点から、内部電極パッド5は、周辺電極パッ

ド1よりも主面の面積において小さくなることが好ましい。

【0023】

図2は、本発明の実施の形態にかかる半導体チップ10の一部断面を示す図であり、再配線及びランド端子を形成する前の段階を示す。図2は、図1のA-A'断面を示す。この例では、シリコン7の内部にメタル層4a、4bが別の層にそれぞれにおいて配線されている。そして、これらメタル層4aとメタル層4bの間は、ビア4cにより接続されている。このうち、メタル層4a及びビア4cは、チップ内部に形成された内部回路と、周辺電極パッド1及び内部電極パッド5のそれぞれを接続するための内部配線である。メタル層4bは、チップ内部に形成された内部回路上の配線である。メタル層4は、例えば、Al（アルミニウム）により形成される。

【0024】

シリコン7の上面には、絶縁層6が形成されている。この絶縁層6の直下には通常パッシベーション層（図示せず）が設けられる。絶縁層6は、例えば、ポリイミドにより形成される。絶縁層6には、半導体チップ10の外縁部に相当する位置に、開口部が設けられている。絶縁層6の開口部からは、メタル層4aの一部が露出することになる。この露出したメタル層4aの一部が周辺電極パッド1として機能する。

【0025】

絶縁層6は、周辺電極パッド1を構成するための開口部に加えて、半導体チップ10の内側領域において、図示しないランド端子と接続するための開口部を有する。この開口部では、メタル層4aの一部が露出している。この露出したメタル層4aの一部が内部電極パッド5として機能する。

【0026】

このような状態における半導体チップ10は、再配線及びランド端子を形成せずに周辺電極パッド1を介してワイヤボンディングにより外部端子と接続することもできるし、再配線及びランド端子を形成した後、ランド端子3を介して外部端子と接続することもできる。即ち、従来再配線によるウエハレベルでのCSP化が困難であった多ピンの半導体に対するCSP加工が実現できるとともに、ワ

イヤボンディングによる従来のパッケージ化へも対応できる。

【0027】

図3は、再配線及びランド端子を形成した後の半導体チップ10の配線例を示す図である。

【0028】

半導体チップ1の内部全域には、周辺電極パッド1及び内部電極パッド5に加えて、さらに再配線2及びエリアアレイ電極であるランド端子3が設けられている。再配線2は、例えば銅皮膜やアルミニウム皮膜をスパッタリング法により形成し、この皮膜をエッチングし、所定のパターンに形成することにより形成される。ランド端子3は、例えば、メッキにより製造されたメッキ膜である。この例では、ランド端子3には、ランド端子3aと、ランド端子3bの2種類のランド端子がある。

【0029】

ランド端子3aは、再配線2により周辺電極パッド1aと接続されている。ここで、周辺電極パッド1aは、内部配線4を介して内部回路と接続されているから、ランド端子3aと内部回路とは、再配線2、周辺電極パッド1a及び内部配線4を介して接続されている。このため、ランド端子3aと内部回路間の配線長は長くなる。

【0030】

ランド端子3bは、周辺電極パッド1を介さずに、内部回路と接続されている。即ち、ランド端子3bと内部回路とは、再配線2、内部電極パッド5及び内部配線4を介して接続されている。このため、ランド端子3bと内部回路間の配線長は、ランド端子3aと内部回路間の配線長に比べて短くなる。そのため、再配線同士又は再配線とエリアアレイ電極間の短絡を防止できる。さらには、信号の遅延、線間の干渉或いは雑音の増加等の発生も抑制できる。

【0031】

尚、この例にかかる半導体チップ10において、チップの外形は、3.75mm×3.75mmであり、ピン数は49である。また、再配線2の配線幅は90μmであり、ランド端子3の直径は300μmである。

【0032】

図4は、本発明の実施の形態にかかる半導体チップ10の一部断面を示す図であり、再配線及びランド端子を形成した後の段階を示す。図4は、図3のA-A'断面を示す。図に示されるように、内部電極パッド5は、再配線2と接続されている。この再配線2は、図示しないランド端子3bと接続されている。また、周辺電極パッド1a（図示せず）と接続されたランド端子3aの一部も示されている。

【0033】

図4では、図示されていないが、さらに保護膜として絶縁皮膜（絶縁層）が形成される。この絶縁皮膜は、ランド端子3の設けられた領域上に開口部を有する。

【0034】

ランド端子3を介して外部端子と接続する場合には、ランド端子3上に半田ボールが搭載されてリフローして接合される。この場合の半導体チップ10の断面図を図5に示す。図に示されるように、半導体チップ10内には内部配線4が設けられている。シリコン7上には、開口部を有する絶縁層6が設けられている。そして、ランド端子3が開口部において内部配線4と接続されている。ランド端子3の一部領域において開口した開口部を有する絶縁層8がさらに形成されている。このランド端子3上の開口部に半田ボール9が搭載されている。

【0035】

図6に、図5にかかる半導体チップ10を基板に実装した状態における断面図を示す。基板20には、配線24が設けられ、絶縁膜26に設けられた開口部を介して端子23bが設けられている。これらの端子23bは、搭載される半導体チップ10の半田ボール9に対応する位置に設けられている。そのため、半導体チップ10の半田ボール9を設けた側と、基板20の当該端子23bを設けた側とが対向する状態において、熔融状態の半田ボール9により半導体チップ10と基板20の各端子の電氣的接続が達成される。

【0036】

次に、図7を用いて、図3の様に再配線によるCSP加工をせずに周辺電極パ

ッド1を介してワイヤボンディングにより外部端子と接続した場合の構成について説明する。半導体チップ10は、周辺電極パッド1を上にして基板30上に搭載される。周辺電極パッド1は、基板30上の端子とボンディングワイヤ32により接続される。ワイヤボンディングされた後は、樹脂33により封入される。尚、基板30の底面には、配線上に半田ボール31が設けられている。

【0037】

半導体装置を検査する際には、検査装置のプローブ端子を半導体装置上の電極に接触させ、信号の入出力を行う。このとき、半導体チップ10の内部に設けられたランド端子3に対しては、プローブ端子を用いた検査を行うことは好ましくない。検査時に、プローブ端子の接触圧により、ランド端子3の下方にある回路が破壊される可能性があるからである。本発明の実施の形態にかかる半導体チップ10は、ランド端子3により外部端子と接続する場合であっても、チップの外縁部にある周辺電極パッド1を検査用の端子として用いることができるため、回路破壊の問題を解決することができる。尚、ランド端子3の下方に回路を形成しなければ、このような問題は発生しないが、その場合には、回路の設計効率が低下し、高集積化の要請に反することになる。

【0038】

本発明の実施の形態では、図3に示されるように、複数の周辺電極パッド1のうち、一部の周辺電極パッド1のみランド端子3bと内部電極5を介して接続する構成、即ち配線長が短くなるような接続構成を採用している。ここで電圧降下の影響が大きい信号を入出力する端子は、配線長が短い方が好ましいため、内部電極パッド5を介して内部回路と接続されるランド端子3bに優先的に割り当てることが望ましい。電圧降下の影響が大きい信号を入出力する端子には、例えば、電源端子、グランド端子、クロック端子がある。

【0039】

その一方で、図3で示されるような内部電極5を介して内部回路と接続するランド端子3bを、RF信号等の高周波信号端子の入出力端子とすることは、望ましくない。ランド端子3bを外部端子と接続した際に、内部回路と周辺電極パッド1を接続するための内部配線4aが冗長配線となり、不適当な容量成分が生じ

、信号波形を変形させるためである。

【0040】

尚、上述の例では、チップ状に切断された後の半導体チップについて説明したが、図8に示されるような、切断前の半導体ウエハ100において、図1、図2、図3及び図4に示す構成は形成される。即ち、図1、図2、図3及び図4に示す構成が形成された半導体ウエハ100を切断することにより、半導体チップ10を形成する。

【0041】

ここで、半導体チップ10の製造方法の一例について簡単に説明する。まず、半導体ウエハ100に内部配線4を形成する。半導体ウエハ100の表面には、周辺電極パッド1を露出形成するための開口部と、ランド端子形成用の開口部を有するパッシベーション層及び絶縁層6が形成される。絶縁層6は、例えば、感光性レジストを塗布した後、感光性レジストの仮焼をすると共に、フォトリソグラフィ工程により、露光、現像を行い、焼成することにより形成する。次に銅のスパッタリングを行い、絶縁層6上、周辺電極パッド1上に銅皮膜を形成する。

【0042】

銅皮膜上に感光性レジストを塗布し、露光、現像、焼成してレジストパターンを形成し、このレジストパターンをマスクとしてエッチングして再配線2を形成する。その後レジストパターンは剥離する。次に、絶縁層6上および再配線2上に感光性レジストを塗布し、露光、現像して開口部を形成する。この開口部内に半田ボール9を配置し、リフローして半田ボール9を外部接続端子に接合する。

【0043】

尚、上述の例では、エリアアレイ電極であるランド端子3は、半導体チップ1の全面に亘って略均一に配置されていたが、これに限られず、不均一な領域があってもよい。例えば、半導体チップ1の中央領域には、ランド端子3が配置されていない場合である。

【0044】

【発明の効果】

本発明によれば、ワイヤボンディングによるパッケージ化及び再配線による C S P 化の両方に対応可能で、再配線の短絡を効果的に解決することが可能な半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

再配線及びランド端子を形成する前の本発明にかかる半導体チップの配線例を示す図である。

【図 2】

本発明にかかる半導体チップの一部断面図である。

【図 3】

再配線及びランド端子を形成した後の本発明にかかる半導体チップの配線例を示す図である。

【図 4】

本発明にかかる半導体チップの一部断面図である。

【図 5】

本発明にかかる半導体チップの断面図である。

【図 6】

本発明にかかる半導体チップを実装した状態の断面図である。

【図 7】

本発明にかかる半導体チップをワイヤボンディングして実装した状態の断面図である。

【図 8】

本発明にかかる半導体チップを有する半導体ウエハを示す図である。

【図 9】

従来の半導体チップの配線例を示す図である。

【符号の説明】

- 1 周辺電極パッド
- 2 再配線
- 3 ランド端子

4 内部配線

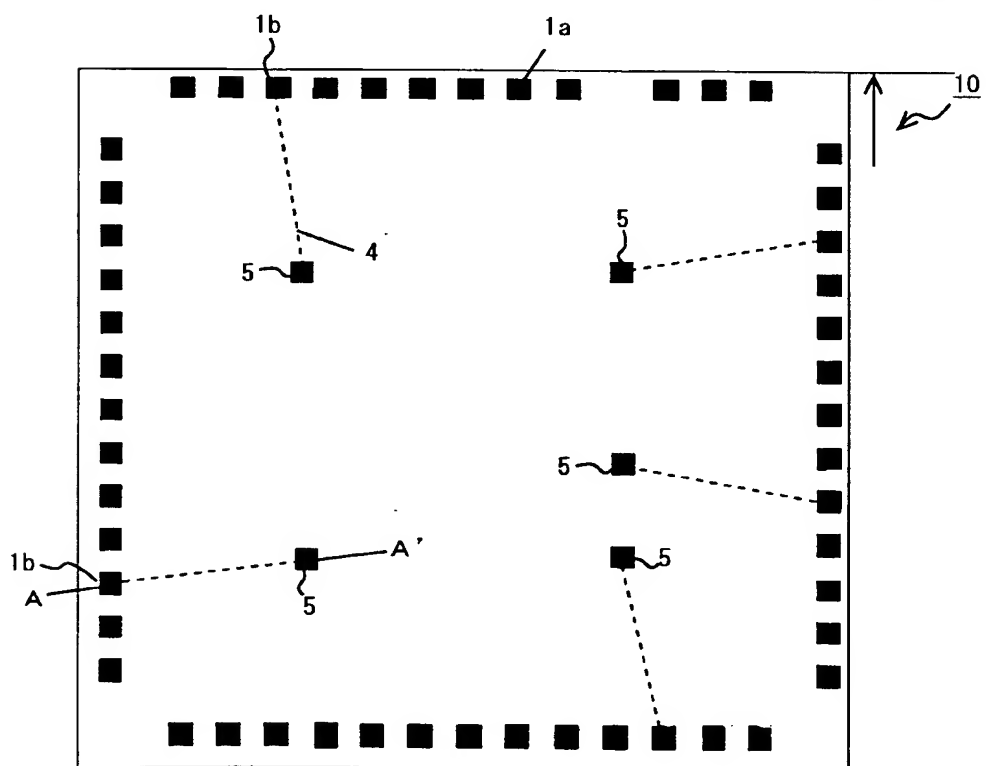
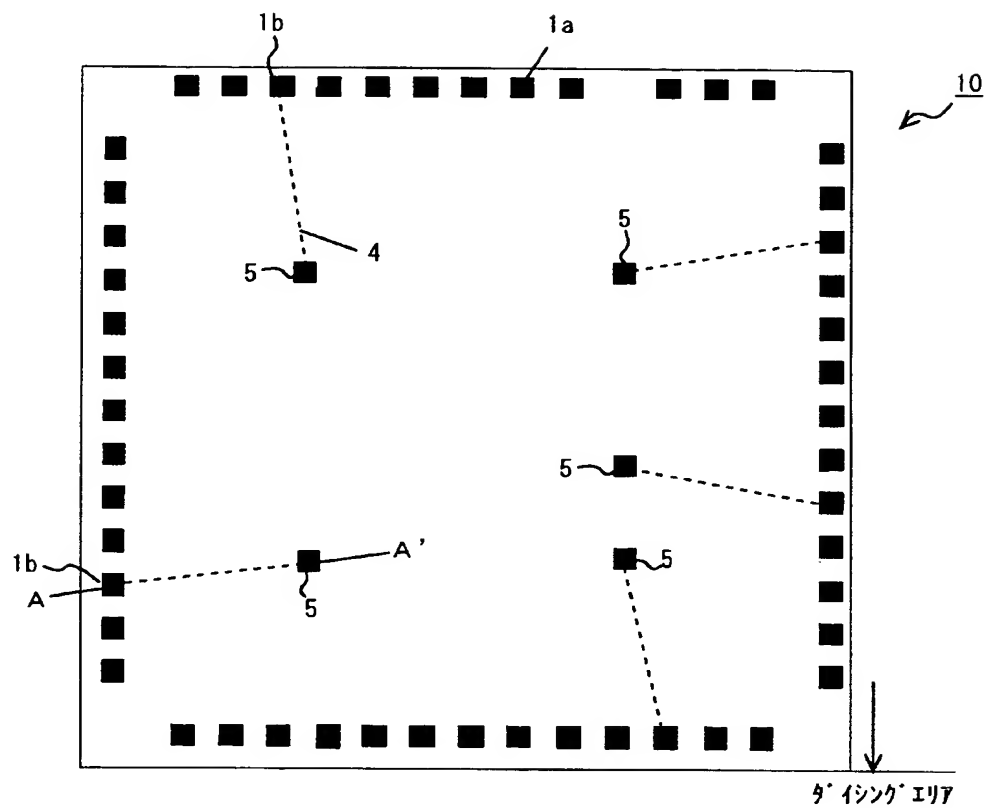
5 内部電極パッド

1 0 半導体チップ

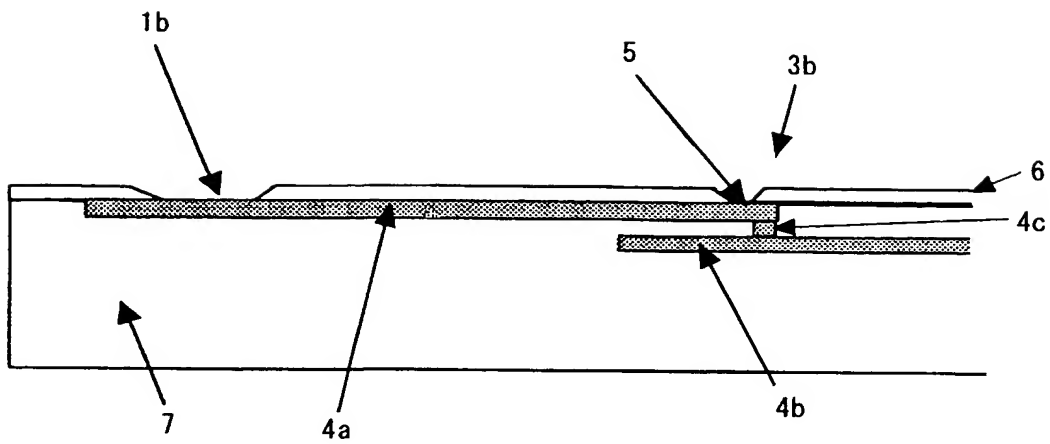
1 0 0 半導体ウエハ

【書類名】 図面

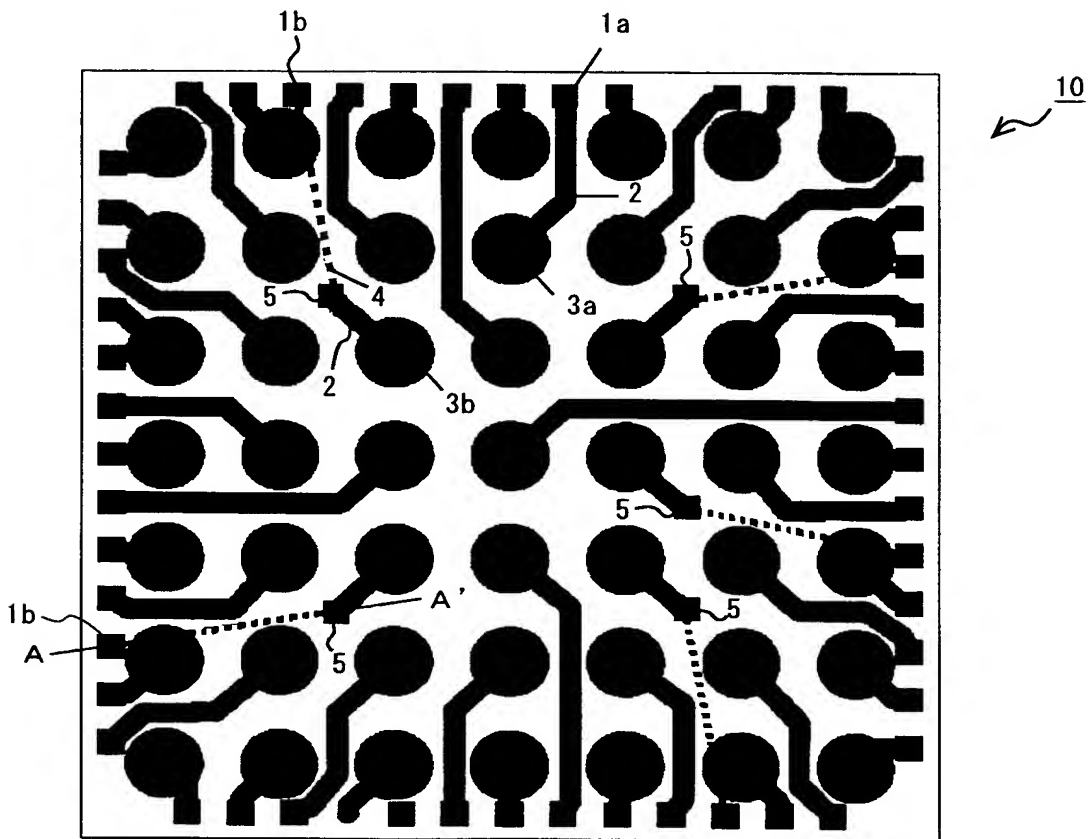
【図 1】



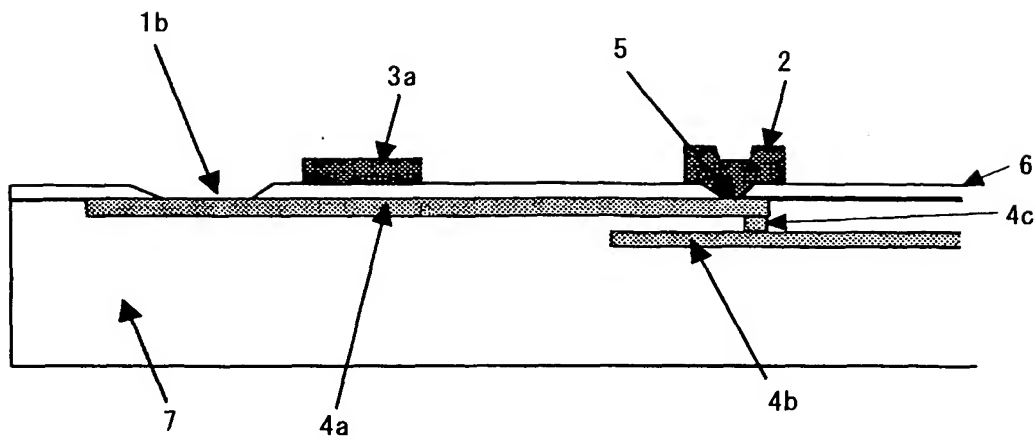
【図 2】



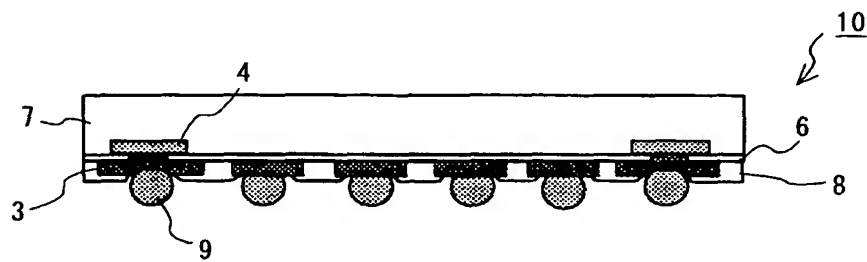
【図 3】



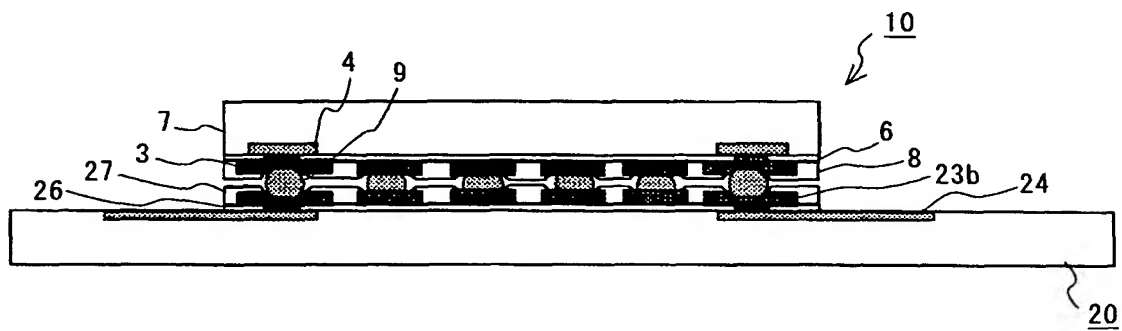
【図 4】



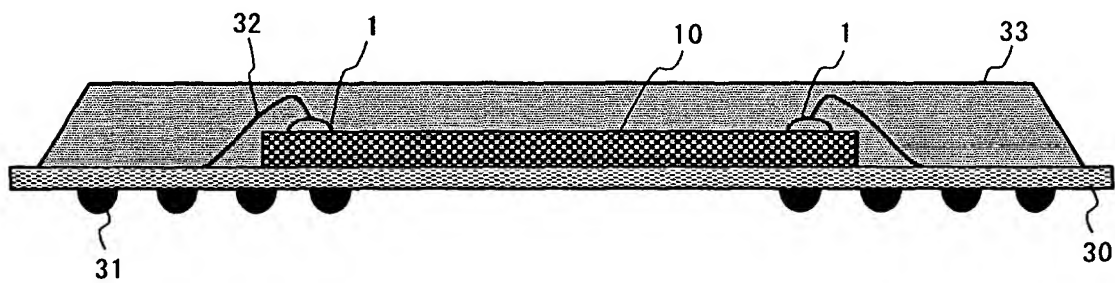
【図 5】



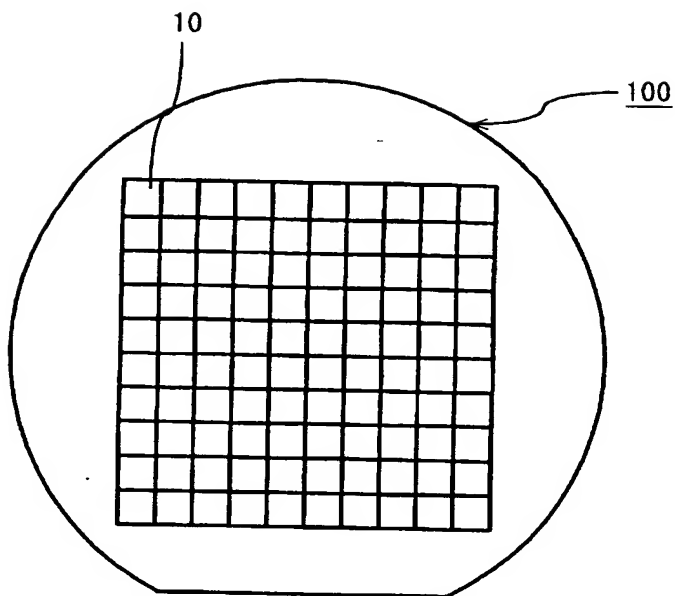
【図 6】



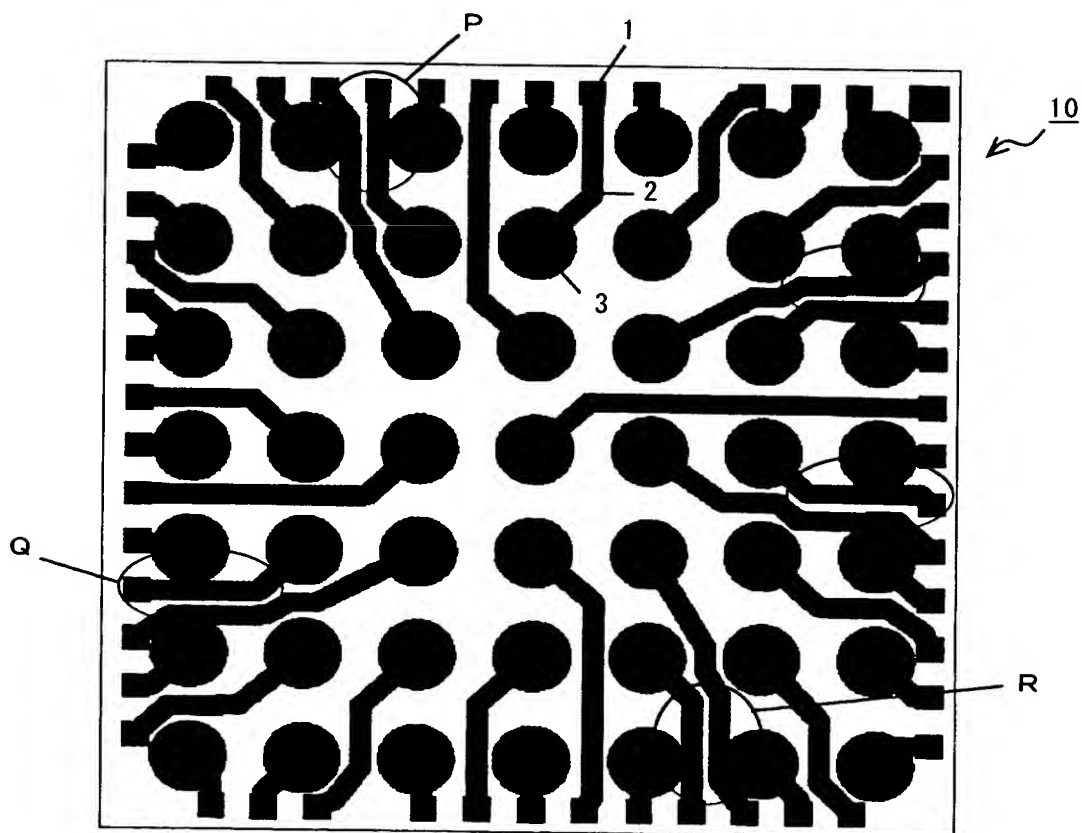
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】

再配線の短絡を効果的に解決することが可能な半導体装置を提供すること。

【解決手段】

本発明にかかる半導体装置は、半導体チップ 1 0 の外縁部に沿って設けられた周辺電極パッド 1 と、半導体チップ 1 0 の全域に亘って設けられ、ランド端子 3 a とランド端子 3 b とを有するランド端子 3 と、当該半導体チップ 1 0 に形成された回路を備えている。ここで、周辺電極パッド 1 は、内部配線 4 a により内部回路と接続されている。また、ランド端子 3 a は、再配線 2 により周辺電極パッド 1 と接続されている。これに対して、ランド端子 3 b は、周辺電極パッド 1 を介さずに内部電極パッド 5 及び内部配線 4 a により内部回路と接続されている。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 0 9 3 9
受付番号	5 0 3 0 0 1 4 2 0 9 2
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 3 0 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月29日
-------	-------------

次頁無

特願 2003-020939

出 願 人 履 歴 情 報

識別番号

[000005810]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府茨木市丑寅1丁目1番88号

氏 名

日立マクセル株式会社

2. 変更年月日

2002年 6月10日

[変更理由]

住所変更

住 所

大阪府茨木市丑寅1丁目1番88号

氏 名

日立マクセル株式会社